



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08194643 A**(43) Date of publication of application: **30.07.96**

(51) Int. Cl.

G06F 12/06
G06F 13/28
(21) Application number: **07006285**(71) Applicant: **FANUC LTD**(22) Date of filing: **19.01.95**
(72) Inventor: **AOYAMA KAZUNARI**
TAMAOKI TOMOHIRO
(54) **MEMORY CONTROL SYSTEM**

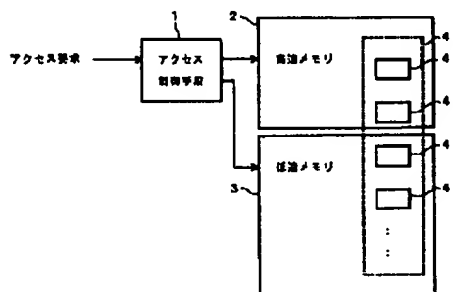
memory can be obtained.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To accelerate burst transfer without changing the storage capacity of a high-speed memory.

CONSTITUTION: Burst transfer data 4 are the set of plural data 4a-4d. Several data 4a and 4b from the head are stored in a high-speed memory 2 and the other data 4c and 4d are stored in a low-speed memory 3. When an access request is outputted from a processor or the like, an access control means 1 starts the access of the data 4a in the high-speed memory 2 and simultaneously starts accessing the data 4c in the low-speed memory 3 as well. First of all, the data 4a and 4b in the high-speed memory are transferred to the processor. During this transfer, the data 4c in the low-speed memory 3 can be transferred and the data 4c and 4d in the low-speed memory 3 are successively transferred without any waiting time of the processor. Thus, the burst transfer data can be transferred at high speed. Further, since only the several data at the head of the burst transfer data are stored in the high-speed memory 2, the data transfer speed equal to the case of increasing the storage capacity of the high-speed



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開平8-194643

(43) 公開日 平成8年(1996)7月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
G06F 12/06	522 A			
13/28	310 E	9172-5E		

審査請求 未請求 請求項の数 5 0L (全7頁)

(21) 出願番号 特願平7-6285
(22) 出願日 平成7年(1995)1月19日

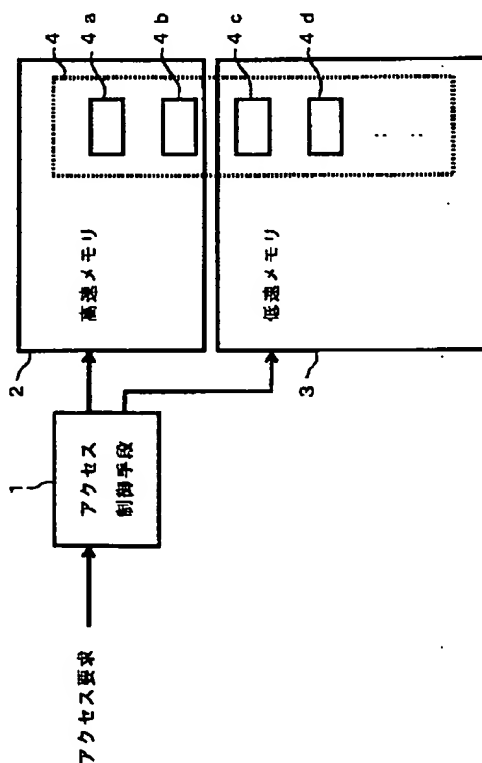
(71) 出願人 390008235
ファナック株式会社
山梨県 南都留郡忍野村 忍草字古馬場358
0番地
(72) 発明者 青山 一成
山梨県 南都留郡忍野村 忍草字古馬場358
0番地 ファナック株式会社内
(72) 発明者 玉置 智広
山梨県 南都留郡忍野村 忍草字古馬場358
0番地 ファナック株式会社内
(74) 代理人 弁理士 服部 毅巖

(54) 【発明の名称】 メモリ制御方式

(57) 【要約】

【目的】 高速メモリの記憶容量を変えずに、バースト転送を高速化する。

【構成】 バースト転送データ4は、複数のデータ4a～4dの集まりである。先頭から数個のデータ4a、4bは、高速メモリ2に格納されている。その他のデータ4c、4dは、低速メモリ3に格納されている。アクセス制御手段1は、プロセッサ等からアクセス要求が出力されると高速メモリ2内のデータ4aにアクセスを開始するとともに、低速メモリ3内のデータ4cにも同時にアクセスを開始する。プロセッサに対しては、まず高速メモリ内のデータ4a、4bが転送される。この間に低速メモリ3内のデータ4cが転送可能となり、プロセッサの待機時間を挟まずに低速メモリ3内のデータ4c、4dが順次転送される。このようにして、バースト転送データを高速に転送することができる。しかも、高速メモリ2内にはバースト転送データの先頭の数個のデータしか格納していないため、高速メモリの記憶容量を増やした場合と同様のデータ転送速度を得ることができる。



【特許請求の範囲】

【請求項 1】 メモリに格納されたデータをバースト転送により転送するデータ処理装置のメモリ制御方式において、

バースト転送時にまとめて転送されるバースト転送データのうち、転送順が遅い後方データを格納する低速メモリと、

前記低速メモリにくらべアクセス速度が高速であり、前記バースト転送データのうち転送順が早い前方データを格納する高速メモリと、

バースト転送を行う際に、前記高速メモリと前記低速メモリとに同時にアクセスし、前記高速メモリから前記前方データを転送し、前記低速メモリから前記後方データを転送するアクセス制御手段と、

を有することを特徴とするメモリ制御方式。

【請求項 2】 前記高速メモリは、バースト転送時に前記低速メモリがデータ転送可能な状態になるまでの時間内に転送可能な量のデータを、前記前方データとして格納していることを特徴とする請求項 1 記載のメモリ制御方式。

【請求項 3】 前記バースト転送データをメモリに格納する際に、前記前方データを前記高速メモリに格納し、前記後方データを前記低速メモリに格納するデータ格納手段をさらに有することを特徴とする請求項 1 記載のメモリ制御方式。

【請求項 4】 メモリに格納されたデータに対するアクセスをバースト転送を用いて行うデータ処理装置のメモリ制御方式において、

バースト転送時にまとめて転送されるバースト転送データを格納している主記憶装置と、

前記主記憶装置にくらべアクセス速度が高速なキャッシュ・メモリと、

バースト転送を行う際にキャッシュ・ミス・ヒットすると、前記主記憶装置から前記バースト転送データを転送するとともに前記バースト転送データのうち転送順が早い前方データを前記キャッシュ・メモリに格納し、バースト転送を行う際にキャッシュ・ヒットすると、前記キャッシュ・メモリから前記前方データを転送し、前記主記憶装置から前記前方データ以外の後方データを転送するアクセス制御手段と、

を有することを特徴とするメモリ制御方式。

【請求項 5】 前記アクセス制御手段は、バースト転送時に前記主記憶装置がデータ転送可能な状態になるまでの時間内に前記キャッシュ・メモリから転送可能な量のデータを、前記前方データとして前記キャッシュ・メモリに格納することを特徴とする請求項 4 記載のメモリ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はメモリからプロセッサへ

のデータ転送をバースト転送により行うデータ処理装置のメモリ制御方式に関し、特に低速メモリと高速メモリとを有するデータ処理装置のメモリ制御方式に関する。

【0002】

【従来の技術】 プロセッサにより各種計算を行うデータ処理装置では、DRAM等の主記憶装置に実行すべきプログラムを格納している。プロセッサが、そのプログラムを読み取りながらデータ処理を行うことによりデータ処理が実行される。

【0003】 このようなデータ処理装置に用いられるプロセッサは、技術革新により非常に高速化されている。プロセッサの高速化の技術として、動作周波数を高めたり、プロセッサが一度に処理できるデータ量を増やすことが行われている。このようなプロセッサの高速化により、データ処理装置の性能が向上する。

【0004】 データ処理速度の高速化の度合いを単純に計算すると、例えば、25MHzで動作していたプロセッサを100MHzで動作するようにすれば、4倍の処理速度が期待できることになる。同様に、32ビット単位でデータ処理を行っていたプロセッサを64ビット単位でデータ処理できるプロセッサに置き換えれば、2倍の速度でデータ処理を行うことが期待できる。

【0005】 ところが、プロセッサが非常に高速化されているにも係わらず、メモリのアクセス速度が向上していない。主記憶装置として一般的に用いられているDRAMは、集積度は向上しているが、アクセス速度はプロセッサの動作周波数に比べて低速のままである。従って、処理すべきデータをメモリからプロセッサへ転送するのに時間がかかってしまい、プロセッサはその間待たされていた。そのため、プロセッサが高速にデータ処理を行う能力があっても、その能力を十分に発揮することができない。

【0006】 データのアクセスを高速化する方法として、高速SRAMを2次キャッシュ（外部キャッシュとも言う）として設けることが一般的に行われている。1度アクセスされたデータを2次キャッシュに格納し、次に同じデータにアクセスする際には2次キャッシュからデータを転送することにより、プロセッサの待ち時間を減らすことができる。ただし、高速SRAMは集積度が低く、高価であるため、大容量にすることができない。

【0007】 そこで従来は、順々に転送される複数のデータを1つの塊として転送することが行われている。このような転送方法をバースト転送と呼ぶ。このバースト転送と各種DRAMに対するアクセス速度の高速化技術を併用することにより、データ転送の高速化を図っている。

【0008】 DRAMに対するアクセス速度の高速化技術としては、高速ページモードやインタリーブ等の技術がある。高速ページモードは、行アドレスが同じ複数のデータに連続してアクセスする際に、最初のアクセスで

は行アドレスと列アドレスを出力し、このときの行アドレスを保持し続ける。以後は、列アドレスのみを出力することにより、データを連続に転送することができる。インタリーブでは、メモリを2つのバンクに分け、それぞれのバンクに交互にアクセスすることにより、DRAMに対するアクセス速度を高速化している。

【0009】また、入力されるクロックの立ち上がりにも同期してデータ等を入出力するシンクロナスDRAMも開発されている。

【0010】

【発明が解決しようとする課題】しかし、2次キャッシュ等の高速メモリを用いて、高速にアクセスすることを可能にしても、高速メモリに格納されるデータが、1回のバースト転送で転送されるべき全てのデータであり、高速メモリに格納できるデータ量は少ないため、単に一部のバースト転送データを高速メモリに格納するだけでは十分なデータ転送の高速化が図れないという問題点があった。

【0011】また、高速ページモード、インタリーブ、およびシンクロナスDRAM等の主記憶装置に対するデータ転送高速化の技術は、バースト転送時の2回目以降のアクセスについてのみ効果があり、1回目のアクセスについては効果がない。そのため、1回目のアクセスの際には、プロセッサの待ち時間が発生してしまうという問題点があった。

【0012】本発明はこのような点に鑑みてなされたものであり、高速メモリの記憶容量を変えずに、バースト転送を高速化するメモリ制御方式を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明では上記課題を解決するために、メモリに格納されたデータをバースト転送により転送するデータ処理装置のメモリ制御方式において、バースト転送時にまとめて転送されるバースト転送データのうち、転送順が遅い後方データを格納する低速メモリと、前記低速メモリに比べ1回目のアクセス速度が高速であり、前記バースト転送データのうち転送順が早い前方データを格納する高速メモリと、バースト転送を行う際に、前記高速メモリと前記低速メモリとに同時にアクセスし、前記高速メモリから前記前方データを転送し、前記低速メモリから前記後方データを転送するアクセス制御手段と、を有することを特徴とするメモリ制御方式が提供される。

【0014】

【作用】低速メモリは、バースト転送時にまとめて転送されるバースト転送データのうち、転送順が遅い後方データを格納している。高速メモリは、低速メモリに比べアクセス速度が高速であり、バースト転送データのうち転送順が早い前方データを格納している。アクセス制御手段は、バースト転送を行う際に、高速メモリと低速

メモリとに同時にアクセスし、高速メモリから前方データの転送が終了する。その間に低速メモリはデータ転送可能な状態になっている。そしてアクセス制御手段は、低速メモリから後方データを転送する。

【0015】これにより、前方データは高速メモリから高速に転送され、待機時間を挟まずに低速メモリから後方データが転送される。

【0016】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は本発明の概略構成を示すブロック図である。図において、高速メモリ2と低速メモリ3とのアクセス速度の違う2種類のメモリが設けられている。高速メモリ2は、低速メモリに比べ高速にアクセス可能である。低速メモリ3は、プロセッサの動作速度に比べ1回目のアクセス速度が低速である。従って、低速メモリ3にアクセスする際には、プロセッサは長い時間待機しなければならない。

【0017】バースト転送で一つの塊として転送されるバースト転送データ4は、複数のデータ4a~4dの集まりである。バースト転送データ4のうち、先頭から数個のデータ4a、4bは、高速メモリ2に格納されている。このデータ4a、4bは、バースト転送時に低速メモリから最初のデータが転送される時間内に転送可能なデータである。一方、その他のデータ4c、4dは、低速メモリ3に格納されている。ここで、データ4a、4bを前方データとし、データ4c、4dを後方データとする。

【0018】アクセス制御手段1は、プロセッサ等からアクセス要求が出力されると高速メモリ2内のデータ4aにアクセスを開始するとともに、低速メモリ3内のデータ4cにも同時にアクセスを開始する。プロセッサに対しては、まず高速メモリ内のデータ4a、4bが転送される。この間に低速メモリ3内のデータ4cが転送可能となり、プロセッサの待機時間を挟まずに低速メモリ3内のデータ4c、4dが順次転送される。

【0019】このようにして、バースト転送データを高速に転送することができる。しかも、高速メモリ2内にはバースト転送データの先頭の数個のデータしか格納していないため、高速メモリの記憶容量を有効に利用することができる。つまり、高速メモリの記憶容量を増やした場合と同様の効果を得ることができる。

【0020】図2は本発明の第1の実施例を示すブロック図である。これは、図1に示す低速メモリをコンピュータの主記憶装置とし、高速メモリを2次キャッシュとした場合の例である。

【0021】コンピュータのMPU (Micro Processing Unit) 11には、バス16を介して主記憶装置13と2次キャッシュ12が接続されている。各メモリからMPU 11へ転送されるデータは、バースト転送で転送される。主記憶装置13には、MPU 11が実行すべき命

令や数値等のデータが格納されている。主記憶装置 13 は、アクセス速度 60 ns ~ 80 ns の DRAM であり、データ転送はインタリーブ等の高速化の技術を用いて行う。2 次キャッシュ 12 には、以前にアクセスされたバースト転送データの、先頭から数個の前方データが格納されている。2 次キャッシュ 12 には、アクセス速度 10 ns ~ 20 ns の高速 SRAM が用いられる。

【0022】2 次キャッシュ 12 に格納されているデータの情報は TAG メモリ 14 に記録されている。メモリコントローラ 15 は、TAG メモリ 14 内の情報を確認することにより、MPU 11 が必要とするデータに対するアクセス先を管理する。

【0023】このような構成のコンピュータシステムにおいて、MPU 11 からメモリアクセス要求が出力されると、メモリコントローラ 15 は TAG メモリ 14 内の情報を確認し、目的のデータが 2 次キャッシュ 12 内にあれば（キャッシュ・ヒット時）2 次キャッシュ 12 内の前方データを MPU 11 に転送し、前方データ以外のバースト転送データ（後方データ）は主記憶装置 13 から転送する。この際、2 次キャッシュ 12 に対するアクセスと、主記憶装置 13 に対するアクセスとは同時に開始される。その結果、2 次キャッシュ 12 に格納された前方データの転送が終了した時には、主記憶装置 13 内の後方データの最初のデータの転送が可能となっており、後方データが連続に転送される。

【0024】また、メモリコントローラ 15 は TAG メモリ 14 内の情報を確認した際に、目的のデータが 2 次キャッシュ 12 内になければ（キャッシュ・ミス・ヒット時）主記憶装置 13 内のデータを MPU 11 に転送するとともに、バースト転送データの先頭から数個の前方データを 2 次キャッシュに転送する。

【0025】次に、上記のようなコンピュータにおけるバースト転送を、具体例を用いて説明する。図 3 は第 1 の実施例におけるバースト転送のアクセスのタイミングを示す図である。これは、キャッシュ・ヒットした場合である。

【0026】ここで、主記憶装置は、1 回目のアクセスでは MPU の動作クロックが 7 サイクル、2 回目以降のアクセスでは 1 サイクルでデータ転送が行えるものとする。2 次キャッシュは、1 回目のアクセスでは MPU の動作クロックが 3 サイクル、2 回目以降のアクセスでは 1 サイクルでデータ転送が行えるものとする。また、1 回のバースト転送で同時に転送されるデータ数は 8 個である。

【0027】主記憶装置の 1 回目のアクセスに 7 サイクル必要であることから、2 次キャッシュには 6 サイクル以内に転送可能なデータが格納されており、その数は 4 個である。つまり、バースト転送データのうち先頭から 4 個のデータ D₁ ~ D₄ は 2 次キャッシュに格納されており、残りの 4 個のデータ D₅ ~ D₈ は主記憶装置に格納

されている。

【0028】MPU のアクセス要求が出力されると（MPU の動作クロックのサイクルが「0」）、2 次キャッシュと主記憶装置とにアクセスが開始される。このとき、2 次キャッシュではデータ D₁ にアクセスされ、主記憶装置ではデータ D₅ にアクセスされる。

【0029】3 サイクル目に 2 次キャッシュからデータ D₁ が転送される。2 次キャッシュ内の残りのデータ D₂ ~ D₄ は、1 サイクルごとに順次転送される。これにより、6 サイクル目に、2 次キャッシュ内のデータ D₁ ~ D₄ の転送が終了する。

【0030】7 サイクル目に主記憶装置からデータ D₅ が転送される。主記憶装置内の残りのデータ D₆ ~ D₈ は、1 サイクルごとに順次転送される。そして、10 サイクル目に全てのバースト転送データ（データ D₁ ~ D₈）の MPU への転送が完了する。

【0031】このようにして、データ D₁ は 2 次キャッシュから短時間で転送でき、他のデータ D₂ ~ D₈ は 1 サイクルごとに転送することができる。従って、全てのバースト転送データを 2 次キャッシュに格納した場合と同じ時間で、バースト転送を行うことが可能である。しかも、バースト転送データのうち半分のデータしか 2 次キャッシュに格納していないため、2 次キャッシュの記憶容量を 2 倍にした場合と同じキャッシュヒット率を得ることができる。

【0032】なお、キャッシュにミス・ヒットした場合には、MPU へのデータ転送は全て主記憶装置から行われ、同時にバースト転送データのうち前方データを 2 次キャッシュに格納する。

【0033】図 4 はバースト転送データの 2 次キャッシュへの格納方法を示す図である。キャッシュ・ミス・ヒット時には、主記憶装置 13 に格納されているデータ D₁ ~ D₈ の中で、先頭から 4 個のデータ D₁ ~ D₄ が 2 次キャッシュ 12 へ転送され格納される。これにより、次に同じバースト転送データのアクセス要求があった場合には、図 3 に説明したような高速のデータ転送を行うことができる。

【0034】ところで、各種データ処理はコンピュータのメインの MPU だけで行われているわけではない。様々な機能に応じて専用のプロセッサが設けられることがある。例えば、細かなグラフィック画面を表示する場合には、グラフィック表示能力を高めるためにグラフィックプロセッサが設けられている。このグラフィックプロセッサに対しても、高速メモリと低速メモリとを接続することにより、アクセスの高速化を図ることができる。グラフィック表示用のデータは連続した大量のデータである。グラフィック表示用のデータをバースト転送データ単位に分割し、各バースト転送データの先頭の数個のデータを高速メモリに格納しておけば、非常に効率よくバースト転送を行うことができる。

【0035】図5は本発明の第2の実施例を示すブロック図である。これは、グラフィック制御回路の内部構成を示している。グラフィックプロセッサ21は、図示されていないMPUからのグラフィックデータを受け取ると、そのデータをもとに表示画面のビット単位の出力を表すビットマップデータを作成する。このビットマップデータは、バースト転送データ単位に分割され、各バースト転送データの先頭から数個のデータは高速メモリ22に格納し、残りのデータは低速メモリ23に格納する。高速メモリ22は低速メモリ23より、1回目のアクセス時間が短いメモリである。高速メモリ22と低速メモリ23とはデュアルポートRAMである。

【0036】グラフィック周辺回路24は、高速メモリ22と低速メモリ23からビットマップデータを取り出し、表示装置25にグラフィック画面を表示させる。このとき、高速メモリ22と低速メモリには同時にアクセスを開始する。これにより、高速メモリ22のデータの転送が終了したときには、低速メモリ23のデータの転送が可能な状態になっており、連続してデータ転送が可能である。

【0037】次に、上記のようなグラフィック制御回路のバースト転送を、具体例を用いて説明する。図6は第2の実施例におけるバースト転送のアクセスのタイミングを示す図である。

【0038】ここで、低速メモリは、1回目のアクセスでは6サイクル、2回目以降のアクセスでは1サイクルでデータ転送が行えるものとする。高速メモリは、1回目のアクセスでは2サイクル、2回目以降のアクセスでは1サイクルでデータ転送が行えるものとする。また、1回のバースト転送で同時に転送されるデータ数は16個である。

【0039】低速メモリ23の1回目のアクセスに6サイクル必要であることから、高速メモリには5サイクル以内に転送可能なデータが格納されており、その数は4個である。つまり、バースト転送データのうち先頭から4個のデータD₁～D₄は高速メモリに格納されており、残りの12個のデータD₅～D₁₆は低速メモリに格納されている。

【0040】グラフィック周辺回路24のアクセス要求が出力されると（サイクルが「0」）、高速メモリと低速メモリとにアクセスが開始される。このとき、高速メモリではデータD₁にアクセスされ、主記憶装置ではデータD₅にアクセスされる。

【0041】2サイクル目に高速メモリからデータD₁が転送される。高速メモリ内の残りのデータD₂～D₄は、1サイクルごとに順次転送される。これにより、5サイクル目に、高速メモリ内のデータD₁～D₄の転送が終了する。

【0042】6サイクル目に低速メモリからデータD₅が転送される。低速メモリ内の残りのデータD₆～D₁

6は、1サイクルごとに順次転送される。そして、17サイクル目に全てのバースト転送データ（データD₁～D₁₆）の転送が完了する。

【0043】このようにして、データD₁は高速メモリから短時間で転送でき、他のデータD₂～D₁₆は1サイクルごとに転送することができる。従って、全てのバースト転送データを高速メモリに格納した場合と同じ時間で、バースト転送を行うことが可能である。しかも、高速メモリに格納するデータは、全体の4分の1である。

【0044】図7は第2の実施例におけるデータの格納状況を示す図である。図中の高速メモリ22と低速メモリ23の同じ列に格納されたデータが1つの塊のバースト転送データである。

【0045】高速メモリ22には、バースト転送データの先頭から4つのデータD₁～D₄が格納されている。低速メモリ23には、残りのデータD₅～D₁₆が格納されている。

【0046】このように、各バースト転送データの先頭から数個のデータを高速メモリ22に格納しておくことにより、全てのデータを高速メモリ22に格納した場合と同じ速度でバースト転送を行うことができる。つまり、実装されている高速メモリの数倍の記憶容量の高速メモリを設けた場合と同等のデータ転送速度を得ることができる。

【0047】

【発明の効果】以上説明したように本発明では、バースト転送データの先頭から数個の前方データを高速メモリに、残りの後方データを低速メモリに格納し、バースト転送の際に、高速メモリと低速メモリとに対し同時にアクセスを開始するようにしたため、前方データは高速メモリから高速に転送し、その間に転送可能となった後方データを連続で転送することができる。その結果、現実の高速メモリの記憶容量を増やさずに、高速メモリの記憶容量を増やした場合と同じ速度でバースト転送を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の概略構成を示すブロック図である。

【図2】本発明の第1の実施例を示すブロック図である。

【図3】第1の実施例におけるバースト転送のアクセスのタイミングを示す図である。

【図4】バースト転送データの2次キャッシュへの格納方法を示す図である。

【図5】本発明の第2の実施例を示すブロック図である。

【図6】第2の実施例におけるバースト転送のアクセスのタイミングを示す図である。

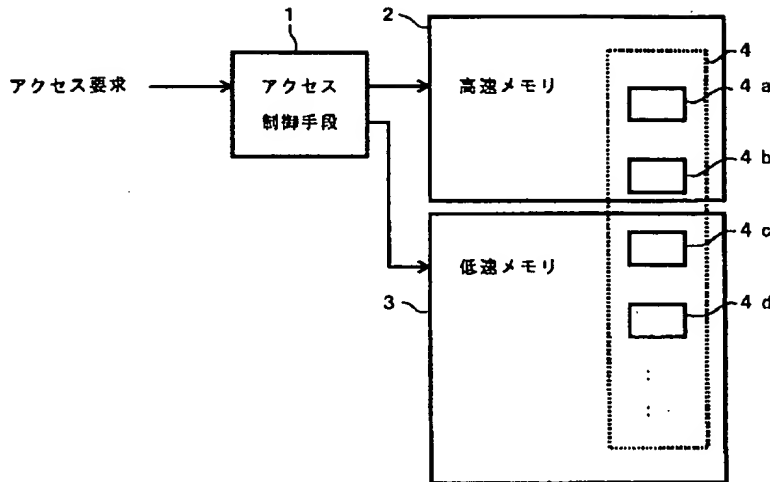
【図7】第2の実施例におけるデータの格納状況を示す図である。

【符号の説明】

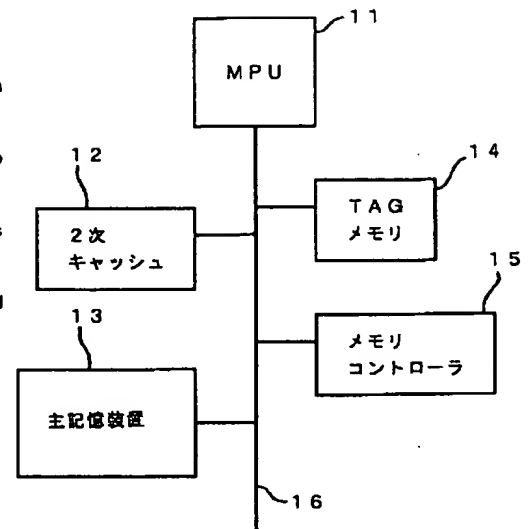
- 1 アクセス制御手段
2 高速メモリ
3 低速メモリ

- * 3 低速メモリ
4 バースト転送データ
* 4 a ~ 4 d データ

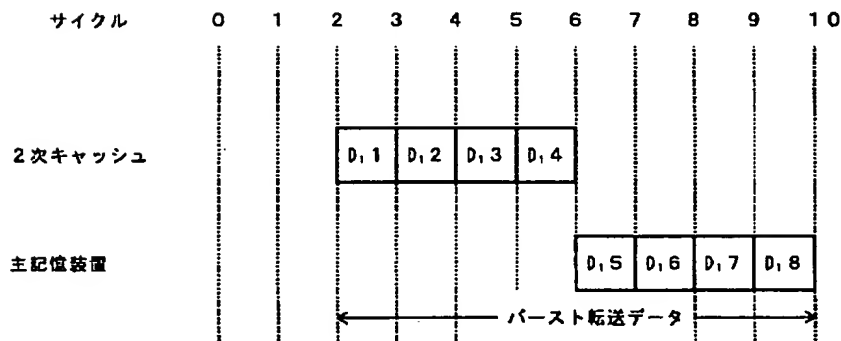
【図1】



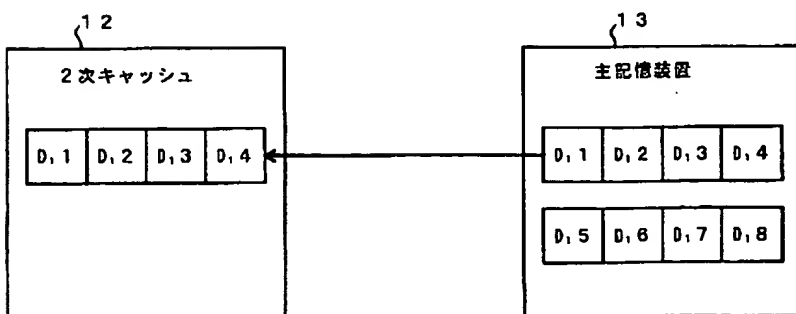
【図2】



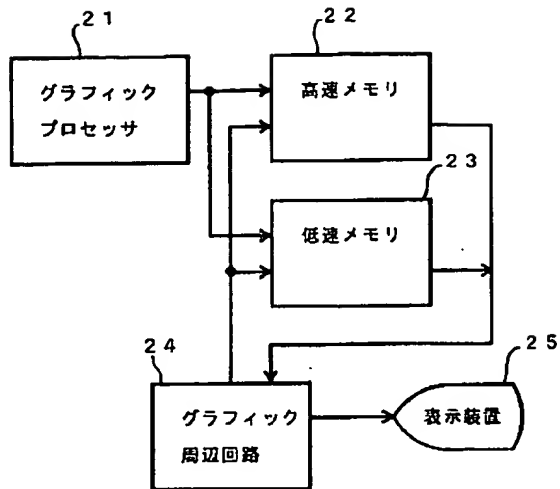
【図3】



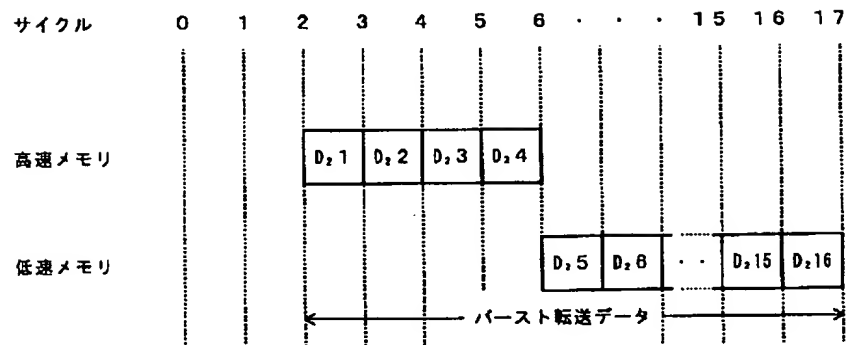
【図4】



【図 5】



【図 6】



【図 7】

